

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-118239
(P2002-118239A)

(43) 公開日 平成14年4月19日 (2002. 4. 19)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/105		G 1 1 C 11/14	A 5 F 0 8 3
G 1 1 C 11/14		11/15	
11/15		H 0 1 L 43/08	Z
H 0 1 L 43/08		27/10	4 4 7

審査請求 未請求 請求項の数 1 O L (全 14 頁)

(21) 出願番号 特願2001-221215(P2001-221215)

(22) 出願日 平成13年7月23日 (2001. 7. 23)

(31) 優先権主張番号 0 9 / 6 2 4 1 3 4

(32) 優先日 平成12年7月21日 (2000. 7. 21)

(33) 優先権主張国 米国 (US)

(71) 出願人 398038580

ヒューレット・パカード・カンパニー
HEWLETT-PACKARD COM
PANY
アメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000

(72) 発明者 マノイ・パタチャヤー

アメリカ合衆国カリフォルニア州95014,
クパチーノ, パーム・アベニュー・22434

(74) 代理人 100063897

弁理士 古谷 馨 (外2名)

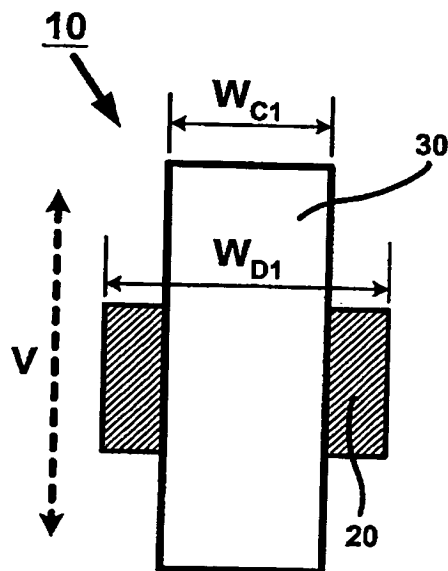
最終頁に続く

(54) 【発明の名称】 MRAMの性能を向上させるための最適な書込導体レイアウト

(57) 【要約】

【課題】 MRAM性能を改善する最適な書込導体レイアウト構造を提供する。

【解決手段】 磁気メモリのための書込導体レイアウト構造は第1の方向の第1の幅と第2の方向の第2の幅とを有するデータ記憶層を含む。データ記憶層は第1の方向に第1の幅をもつ第1の導体と第2の方向に第2の幅をもつ第2の導体との間に配置される。第1及び第2の導体は第1及び第2の方向でデータ記憶層と交差する。第1の導体の第1の幅はデータ記憶層の第1の層幅よりも小さく該第1の層幅が該第1の幅の全体に重なるよう配置される。第2の導体の第2の幅はデータ記憶層の第2の層幅よりも小さく該第2の層幅が該第2の幅の全体に重なるよう配置される。第1及び第2の導体の幅を狭くすることで、それら導体とデータ記憶層との間のミスマウントが排除され、該導体に加えられた電流により生成される書込磁界の漏れが低減され、より小電流で書込磁界を生成可能となり、メモリの電力消費が低減される。



1

【特許請求の範囲】

【請求項 1】磁気メモリセルのための書込導体レイアウト構造であって、

第 1 の幅を有する第 1 の導体と、

第 2 の幅を有する第 2 の導体と、

該第 1 及び第 2 の導体間に配置されたデータ記憶層であって、第 1 の方向における第 1 の層幅と第 2 の方向における第 2 の層幅とを有し、前記第 1 及び第 2 の導体を実質的に前記第 1 及び第 2 の方向にそれぞれ交差する、データ記憶層とを備えており、

前記第 1 の幅が前記第 1 の層幅よりも小さくなるよう予め選択され、

前記第 2 の幅が前記第 2 の層幅よりも小さくなるよう予め選択され、

前記第 1 の層幅が前記第 1 の幅の全体に重なるように該第 1 の幅が該第 1 の層幅に対して配置され、

前記第 2 の層幅が前記第 2 の幅の全体に重なるように該第 2 の幅が該第 2 の層幅に対して配置される、書込導体レイアウト構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に、磁気ランダムアクセスメモリ（MRAM）の最適な書込導体レイアウトに関し、特に、書込導体の幅がデータ記憶層の幅よりも小さく作製され、書込導体の幅がデータ記憶層の幅内に完全に含まれる、書込導体レイアウトに関する。

【0002】

【従来の技術】一般的な MRAM デバイスは、メモリセルのアレイを含む。ワードラインは、複数のメモリセルからなる行に沿って伸び、ビットラインは、複数のメモリセルからなる列に沿って伸びる。ワードラインとビットラインとの交差点に位置する各メモリセルは、1 ビットの情報を磁化方向として格納する。各メモリセルの磁化方向は、所与の時間で 2 つの安定した方向のうちの 1 つをとる。これら 2 つの安定した方向、すなわち平行及び逆平行(anti-parallel)は、論理値「1」及び「0」を表すものとなる。選択されたメモリセルの磁化方向は、選択されたメモリセルと交差するワードライン及びビットラインに電流を供給することにより変更することができる。該電流は、その結合時に選択されたメモリセルの磁化方向を平行から逆平行へ又はその逆に切り替えることができる磁界を生成する。ワードライン及びビットラインが協働して、選択されたメモリセルの磁化方向を切り替える（すなわちメモリセルに対する書き込みを行う）ため、ワードライン及びビットラインを包括的に書込ラインと呼ぶことができる。更に、該書込ラインはまた、メモリセルに格納されている論理値を読み出すために使用することもできる。

【0003】図 1 a は、簡略化された従来技術による MRAM アレイ 100 の平面図を示している。該アレイ 100 は、ワ

2

ードライン 130、ビットライン 132、及びメモリセル 120 を含む。メモリセル 120 は、ワードライン 130 とビットライン 132 との各交差部分に配置されている。多くの MRAM 設計では、書込ライン（130, 132）は、ビットライン 132 の幅 dx とワードライン 130 の幅 dy とで示すように、メモリセル 120 と同じ幅で作製される。したがって、メモリセル 120 は、書込ライン（130, 132）の幅により規定される矩形寸法 dx, dy を有する。一般に、図 1 b に示すように、書込ライン（130, 132）は互いに直交する関係で配置されており、メモリセル 120 は書込ライン（130, 132）の間に配置される。例えば、ビットライン 132 をメモリセル 120 の上に配置することができ、ワードライン 130 をメモリセル 120 の下に配置することができる。

【0004】図 2 a ないし図 2 c は、1 つのメモリセル 120 における 1 ビットのデータの格納を示す。図 2 a において、メモリセル 120 は、誘電体領域 126 により互いに分離されたアクティブ磁気データフィルム 122 及び固定（pinned）磁気フィルム 124 を含む。アクティブ磁気データフィルム 122 における磁化方向は、一定ではなく、矢印 M_1 で示すような 2 つの安定した方向をとることができる。一方、固定磁気フィルム 124 は、矢印 M_2 で示すように一定の磁化方向を有する。アクティブ磁気データフィルム 122 は、メモリセル 120 への書き込み動作中に、書込ライン（130, 132, 図示せず）に加えられる電流に応じて、その磁化方向を回転させる。図 2 b に示すように、 M_1, M_2 が互いに平行である場合には、メモリセル 120 に格納されるデータビットの第 1 の論理状態が示される。例えば、 M_1, M_2 が平行である場合には、論理「1」状態がメモリセル 120 に格納される。逆に、図 2 c に示すように M_1, M_2 が互いに逆平行である場合には、第 2 の論理状態が示される。同様に、 M_1, M_2 が逆平行である場合には、論理「0」状態がメモリセル 120 に格納される。図 2 b 及び図 2 c では、誘電体領域 126 は省略されている。図 2 a ないし図 2 c は、固定磁気フィルム 124 の上に配置されたアクティブ磁気データフィルム 122 を示しているが、固定磁気フィルム 124 をアクティブ磁気データフィルム 122 の上に配置することもできる。

【0005】メモリセル 120 の抵抗は、 M_1, M_2 の方向により異なる。 M_1, M_2 が逆平行である、すなわち論理「0」状態である場合には、メモリセル 120 の抵抗はその最高値となる。一方、 M_1, M_2 の方向が平行である、すなわち論理「1」状態である場合には、メモリセル 120 の抵抗はその最低値となる。その結果として、メモリセル 120 に格納されているデータビットの論理状態は、その抵抗を測定することにより決定することができる。メモリセル 120 の抵抗は、書込ライン（130, 132）に印加された読出電圧に応じて流れるセンス電流 123（図 2 a 参照）の大きさに影響される。

【0006】図 3 において、メモリセル 120 は、書込ライン（130, 132）の間に配置されている。アクティブ及

3

び固定磁気フィルム (122, 124) は図 3 には示されていない。アクティブ磁気データフィルム 122 の磁化方向は、磁界 H_y を生成する電流 I_x と磁界 H_x を生成する電流 I_y とに応じて回転する。該磁界 H_x 及び H_y が協働してメモリセル 120 の磁界方向を回転させる。図 3 において、書込ライン (130, 132) は、図 1 a 及び図 1 b に関して上述したように、メモリセル 120 と同じ幅 (dx, dy) を有するよう図示されている。

【0007】理想的には、書込ライン (130, 132) は共に、メモリセル 120 上の対応する幅 (dx, dy) と同じ幅 (dx, dy) を有するべきである。したがって、ビットライン 132 は、図 4 a に示すように、メモリセル 120 の垂直方向 Y の幅 W_{DY} と等しい垂直方向 Y の幅 W_{CY} を有するべきである。同様に、ワードライン 130 は、図 5 a に示すように、メモリセル 120 の水平方向 X の幅 W_{DH} と等しい水平方向 X の幅 W_{CH} を有するべきである。

【0008】

【発明が解決しようとする課題】しかし、アレイ 100 の書込ライン (130, 132) とメモリセル 120 との間のミスアライメントに起因して (図 1 a 及び図 1 b 参照)、ワードライン 130 及びビットライン 132 がメモリセル 120 からオフセットする可能性がある。該ミスアライメントは、MRAM デバイスの作製に使用されるリソグラフィプロセスに固有のリソグラフィアライメントの不精確さに起因するものである。図 4 b において、ビットライン 132 は、オフセット δ だけメモリセル 120 からオフセットしている。同様に、図 5 b において、ワードライン 130 は、オフセット δ だけメモリセル 120 からオフセットしている。該 δ の値は、MRAM 装置を作製するために使用されるリソグラフィプロセスにより決まる。例えば、最新技術における δ の値は、 $0.05 \mu m$ のオーダーとなり得る。該 δ の値は、サブミクロンサイズのメモリセルにとっては極めて大きなものである。

【0009】該オフセット δ の 1 つの欠点は、図 4 b 及び図 5 b のそれぞれにおいてメモリセル 120 の露出した縁部を取り囲む破線 141, 145 で示すような、書込ライン (130, 132) により覆われていないメモリセル 120 の部分で磁界が低減することである。その結果として、書込ライン (130, 132) からの結合された磁界が、メモリセル 120 を選択する書込み動作中に平行方向から逆平行方向へ (又はその逆に) 磁界 M_1 の方向を回転させることができない場合がある。

【0010】オフセット δ の別の欠点は、それぞれ図 4 b 及び図 5 b においてクロスハッチング領域 143, 147 で示すように、書込ライン (130, 132) の一部がメモリセル 120 の幅の外側に位置することである。その結果として、それら部分により生成される磁界は主に無駄になり、磁界 M_1 の方向の回転に寄与することができない。更に、極端な場合には、クロスハッチング領域 143, 147 により生成される磁界の部分が、隣接するメモリセル (図

4

示せず) の選択されていないビットに干渉し、これにより、それら隣接するメモリセルに既書き込まれている情報のデータ破壊が生じる可能性がある。

【0011】更に、磁界 H_y, H_x をそれぞれ生成する電流 I_x, I_y の大きさが、メモリセル 120 への書き込みを行うには不十分なものとなる。これは、磁界 H_y, H_x の一部が無駄になるからである。最も高密度の MRAM 設計では、電流及び磁界は極めて貴重なものであり、電力消費を低下させ、及び磁界 H_y, H_x をアクティブ磁気データフィルム 122 に効率良く結合させるために、書込み電流 I_x, I_y を効率良く利用する試みがなされなければならない。

【0012】したがって、MRAM メモリセルのデータ記憶層と該データ記憶層と交差する書込ラインとの間のミスアライメントをなくす、MRAM メモリの電流伝達用導体のためのレイアウト構造が必要とされている。

【0013】また、書込ラインにより生成される磁界が無駄にならずにデータ記憶層と効率良く結合されるように、書込ラインがデータ記憶層の幅内に含まれている必要がある。

【0014】更に、メモリセルに対する書込み動作時にデータ記憶層の磁化方向を回転させるために必要となる書込み電流の大きさを低減させることにより MRAM メモリセルの電力消費を低減させる必要がある。例えば、電力消費の低減の結果として、MRAM メモリに組み込まれている電子デバイスにより生成される廃熱を低減させることが可能となる。更に、携帯型機器の場合には、電池寿命を延長させるために電力消費を低減させることが望ましい。

【0015】

【課題を解決するための手段】上述の必要とされている事項は、本発明の書込導体レイアウト構造により満たされる。書込ライン (すなわちワードライン又はビットライン) とデータ記憶層との間のミスアライメントは、書込ラインの幅を該書込ラインが交差するデータ記憶層の幅よりも狭くすることにより対処される。更に、書込ラインは、その幅がデータ記憶層の幅内に完全に含まれるように配置される。また、磁界の漏れ、無駄になる磁界、及びデータ記憶層との磁界の低減された結合に関する問題も、書込ラインの幅を狭くすること、及び該書込ラインをデータ記憶層の幅内に配置することにより解決される。更に、書込ラインの幅を狭くすることにより、所与の電流に対してより大きい磁界を生成することができ、また、データ記憶層の磁化方向を回転させるために必要な大きさの磁界をより小さな電流で生成することができ、これにより電力消費を低減させることができる。

【0016】広範には、本発明は、第 1 の方向に第 1 の層幅を有すると共に第 2 の方向に第 2 の層幅を有するデータ記憶層を含む磁気メモリセルのための書込導体レイアウト構造において実施される。該データ記憶層は、第 1 の方向で第 1 の幅を有する第 1 の導体と第 2 の方向で

第2の幅を有する第2の導体との間に配置される。該第1及び第2の導体は、それぞれ第1及び第2の方向にデータ記憶層と交差する。第1の導体の第1の幅は、データ記憶層の第1の層幅よりも狭く、該第1の層幅が該第1の導体の第1の幅の全体に重なるように配置される。同様に、第2の導体の第2の幅は、データ記憶層の第2の層幅よりも狭く、該第2の層幅が該第2の導体の第2の幅の全体に重なるように配置される。更に、第1の導体、第2の導体、又は第1及び第2の導体の両方は、第1及び第2の層幅よりもそれぞれ狭い幅で作製することも可能である。

【0017】本発明の一実施形態では、第1及び第2の幅は、それらそれぞれ第1及び第2の層幅よりもプロセスアライメントオフセットだけ小さくなるよう選択することができる。該プロセスアライメントオフセットは、MRAM装置の製造に使用されるリングラフプロセスのアライメント公差に基づくものとして行うことができる。

【0018】本発明の別の実施形態では、第1及び第2の導体の何れかを、その対応する層幅内で中央に配置すること、その対応する層幅内で左にシフトすること、又はその対応する層幅内で右にシフトすることが可能である。

【0019】本発明の一実施形態では、第1及び第2の導体は、MRAM装置のワードライン又はビットライン（書込ライン）とすることができる。

【0020】本発明の別の実施形態では、第1の導体に加えられる電流により生成される書込磁界の第1の部分の大きさは、第1の幅が少なくとも第1の層幅と等しい場合よりも大きい。

【0021】本発明の一実施形態では、第2の導体に加えられる電流により生成される書込磁界の第2の部分の大きさは、第2の幅が少なくとも第2の層幅と等しい場合よりも大きい。

【0022】本発明の別の実施形態では、第1の幅の位置は、第1の導体に加えられる電流の大きさが、第1の幅が少なくとも第1の層幅と等しい場合よりも小さくなるように、書込磁界の第1の部分をデータ記憶層に有効に結合する。

【0023】本発明の更に別の実施形態では、第2の幅の位置は、第2の導体に加えられる電流の大きさが、第2の幅が少なくとも第2の層幅と等しい場合よりも小さくなるように、書込磁界の第2の部分をデータ記憶層に有効に結合する。

【0024】本発明の他の態様及び利点は、本発明の原理を例示する図面に関して行う以下の詳細な説明から明らかとなる。

【0025】

【発明の実施の形態】以下の詳細な説明及び幾つかの図面では、同様の要素は同様の符号で識別される。

【0026】解説を目的として図示するように、本発明

は、磁気メモリセルのための書込導体レイアウト構造で実施される。該書込導体レイアウト構造は、第1の幅を有する第1の導体と第2の幅を有する第2の導体を含む。データ記憶層は、第1及び第2の導体間に配置され、第1の方向における第1の層幅と第2の方向における第2の層幅とを含む。第1及び第2の導体は、それぞれ実質的に第1及び第2の方向にデータ記憶層と交差する。第1の導体の第1の幅は、第1の層幅よりも小さくなるよう予め選択され、該第1の層幅が該第1の幅の全体に重なるように該第1の幅が該第1の層幅に対して配置される。第2の導体の第2の幅は、第2の層幅よりも小さくなるよう予め選択され、該第2の層幅が該第2の幅の全体に重なるように該第2の幅が該第2の層幅に対して配置される。

【0027】第1及び第2の幅が第1及び第2の層幅よりも小さいことの利点には、以下の点が含まれる（但しそれらに限定されるものではない）。すなわち、データ記憶層と第1及び／又は第2の導体との間のミスアライメントに起因して書込磁界が無駄にされ又は低減されないように、書込磁界のデータ記憶層との結合が改善される。上述のミスアライメントがなくなるように第1及び／又は第2の幅がそれぞれの層幅内に含まれる。第1及び第2の幅をそれぞれの層幅内に配置することにより、近くのメモリセルに干渉する可能性のある漏れ磁界が低減され又は排除される。第1及び／又は第2の導体の幅を狭くすることにより、所与の電流についてより大きな磁界を生成することができる。第1及び／又は第2の導体の幅を狭くすることにより、データ記憶層の磁化方向を回転させるために必要な磁界を大きさが低減された電流で生成することができ、これにより電力消費が低減される。

【0028】図6及び図7において、磁気メモリセルのための書込導体レイアウト構造10は、第1の幅 W_{C1} （図6参照）を有する第1の導体30と第2の幅 W_{C2} （図7参照）を有する第2の導体32とを含む。データ記憶層20は、第1の導体30及び第2の導体32の両方により生成される書込磁界（図示せず）の結果としてデータ記憶層20のアクティブ層（図示せず）の磁化方向の回転が生じるように、該第1の導体30と該第2の導体32との間に配置される（図示せず）。第1及び第2の導体（30, 32）に加えられる電流は、書込み動作時に書込磁界を生成する。データ記憶層20は、破線矢印Vにより示す第1の方向に第1の層幅 W_{D1} を有し、破線矢印Hにより示す第2の方向に第2の層幅 W_{D2} を有する。第1及び第2の導体（30, 32）は、それぞれ実質的に第1及び第2の方向（V, H）でデータ記憶層20と交差する。

【0029】第1の導体30の第1の幅 W_{C1} は、第1の層幅 W_{D1} よりも小さくなるよう予め選択され、第2の導体32の第2の幅 W_{C2} は、第2の層幅 W_{D2} よりも小さくなるよう予め選択される。第1の幅 W_{C1} は、図6に示すよう

に、第1の層幅 w_{D1} が該第1の幅 w_{C1} の全体に重なるように、該第1の層幅 w_{D1} に対して配置される。第2の幅 w_{C2} は、図7に示すように、第2の層幅 w_{D2} が該第2の幅 w_{C2} の全体に重なるように、該第2の層幅 w_{D2} に対して配置される。

【0030】説明のために、第1の導体30はデータ記憶層20の上に配置され（図6参照）、第2の導体32はデータ記憶層20の下に配置される（図7参照）。しかし、第1及び第2の導体（30,32）の位置は逆にすることも可能である。更に、明瞭化のため、図6及び図7では、データ記憶層20に関する第1及び第2の導体（30,32）の位置を別個に示す。しかし、図10aないし図10cに関して後述するように、第1及び第2の導体（30,32）はデータ記憶層20と公差するものである。

【0031】図6及び図7は、第1の方向Vに垂直方向を有する第1の導体30と、第2の方向Hに水平方向を有する第2の導体32とを示しているが、本発明の書込導体レイアウト構造に関する上述の利点は、上述の垂直及び水平方向が逆になった場合、すなわち、第1の導体30が水平方向を有し、第2の導体32が垂直方向を有する場合にも該当する。更に、本発明の書込導体レイアウト構造10は、水平及び垂直導体方向に限定されるものではなく、水平及び垂直方向以外の方向もまた本発明の原理に含まれる。

【0032】データ記憶層20は、スピン依存トンネルデバイス、スピンプルブデバイス、及び巨大磁気抵抗デバイスを含む磁気電気(magnetoelectric)デバイスとすることができる（但しこれらに限定されるものではない）。データ記憶層20は、本明細書では矩形形状を有するものとして示されているが、矩形形状、弓形形状、及び多角形状を含む形状を有することができる（但しこれらに限定されるものではない）。

【0033】図13a及び図13bは、多角形状のデータ記憶層21と弓形形状のデータ記憶層22とをそれぞれ示している。なお、図13a及び図13bでは、第1及び第2の導体（30,32）は、第1及び第2の方向（V,H）にそれぞれのデータ記憶層と交差し、第1の層幅 w_{D1} 及び第2の層幅 w_{D2} は、それぞれ第1及び第2の方向（V,H）におけるデータ記憶層の最大幅である。例えば、図13aでは、第1の層幅 w_{D1} は、第1の方向Vにおけるデータ記憶層21の最大幅であり、第1の幅 w_{C1} は、第1の層幅 w_{D1} が該第1の幅 w_{C1} の全体に重なるように、第1の層幅 w_{D1} に対して配置される。同様に、第2の層幅 w_{D2} は、第2の方向Hにおけるデータ記憶層21の最大幅であり、第2の幅 w_{C2} は、第2の層幅 w_{D2} が該第2の幅 w_{C2} の全体に重なるように、該第2の層幅 w_{D2} に対して配置される。

【0034】本発明の一実施形態では、図8aないし図8cに示すように、第1の導体30の第1の幅 w_{C1} は、第1の方向Vにおけるデータ記憶層20の第1の層幅 w_{D1} より

も第1のプロセスアライメントオフセット Δ_1 だけ小さくなるよう予め選択される。該第1のプロセスアライメントオフセット Δ_1 は、書込導体レイアウト構造10を組み込んだMRAMデバイスの作製に使用されるリソグラフィプロセスのアライメント公差によって決まる値とすることができる。例えば、アライメント公差が $0.05\mu\text{m}$ である場合には、第1の幅 w_{C1} は、第1の層幅 w_{D1} よりも $\Delta_1=0.05\mu\text{m}$ だけ又は Δ_1 の何分の1又は何パーセントかだけ狭くすることができる。例えば、 $\Delta_1=0.05\mu\text{m}$ である場合には、第1の幅 w_{C1} は、第1の層幅 w_{D1} よりも Δ_1 の80%（ $0.8\times 0.05\mu\text{m}=0.04\mu\text{m}$ ）だけ狭くすることができる。したがって、第1の幅 w_{C1} は第1の層幅 w_{D1} よりも幅が $0.04\mu\text{m}$ だけ小さくなる。一方、 $\Delta_1=0.05\mu\text{m}$ である場合、第1の幅 w_{C1} は第1の層幅 w_{D1} よりも Δ_1 の1と1/4（すなわち1.25）（ $1.25\times 0.05\mu\text{m}=0.06275\mu\text{m}$ ）だけ狭くすることができ、したがって、第1の幅 w_{C1} は第1の層幅 w_{D1} より $0.06275\mu\text{m}$ だけ幅が小さくなる。何れの場合も、第1の幅 w_{C1} は第1の層幅 w_{D1} より狭く、第1の層幅 w_{D1} はその全体で第1の幅 w_{C1} に重なる。上記例はまた、 Δ_2 、第2の層幅 w_{D2} 、及び第2の幅 w_{C2} にも当てはまる。

【0035】第1の幅 w_{C1} は、図8aに示すように、第1の層幅 w_{D1} 内の実質的に中央位置を有することができる。図8aにおいて、第1の導体30の両縁部33は、第1のプロセスアライメントオフセット $\Delta_1/2$ に等しい距離だけ第1の層幅 w_{D1} の内側に配置され、これにより、第1の幅 w_{C1} が第1の層幅 w_{D1} 内の実質的に中央位置になり、第1の層幅 w_{D1} は第1の幅 w_{C1} の全体に重なる。図8bにおいて、第1の幅 w_{C1} は、第1の層幅 w_{D1} 内で、第1のプロセスアライメントオフセット Δ_1 に等しい距離だけ左にシフトした位置にあるが、第1の層幅 w_{D1} は第1の幅 w_{C1} の全体に重なっている。同様に、図8cにおいて、第1の幅 w_{C1} は、第1の層幅 w_{D1} 内で、第1のプロセスアライメントオフセット Δ_1 に等しい距離だけ右にシフトした位置にあるが、第1の層幅 w_{D1} は第1の幅 w_{C1} の全体に重なっている。第1の幅 w_{C1} は、第1のプロセスアライメントオフセット Δ_1 の何分の1か何パーセントかだけ左にシフトし又は右にシフトすることが可能である。

【0036】本発明の別の実施形態では、図9aないし図9cに示すように、第2の導体32の第2の幅 w_{C2} は、第2の方向Hにおけるデータ記憶層20の第2の層幅 w_{D2} よりも第2のプロセスアライメントオフセット Δ_2 だけ小さくなるよう予め選択される。該第2のプロセスアライメントオフセット Δ_2 は、書込導体レイアウト構造10を組み込んだMRAMデバイスの作製に使用されるリソグラフィプロセスのアライメント公差によって決定される値とすることができる。例えば、アライメント公差が $0.07\mu\text{m}$ である場合、第2の幅 w_{C2} は、第2の層幅 w_{D2} よりも $\Delta_2=0.07\mu\text{m}$ 又は Δ_2 の何分の1又は何パーセントかだけ小

さくすることができる。第2の幅 W_{C2} は、図9aに示すように、第1の層幅 W_{D2} 内で実質的に中央位置にすることができる。図9aにおいて、第2の導体32の両縁部35は、第2のプロセスアライメントオフセット $\Delta_2/2$ に等しい距離だけ第2の層幅 W_{D2} の内側に配置され、これにより、第2の幅 W_{C2} が第2の層幅 W_{D2} 内の実質的に中央に位置し、第2の層幅 W_{D2} は第2の幅 W_{C2} の全体に重なる。図9bにおいて、第2の幅 W_{C2} は、第2の層幅 W_{D2} 内において第2のプロセスアライメントオフセット Δ_2 に等しい距離だけ左にシフトした（ここでは上にシフトするものとして示す）位置にある。しかし、第2の層幅 W_{D2} は、第2の幅 W_{C2} の全体に重なる。同様に、図9cにおいて、第2の幅 W_{C2} は、第2の層幅 W_{D2} 内において第2のプロセスアライメントオフセット Δ_2 に等しい距離だけ右にシフトした（ここでは下にシフトするものとして示す）位置にある。しかし、第2の層幅 W_{D2} は、第2の幅 W_{C2} の全体に重なる。第2の幅 W_{C2} は、第2のプロセスアライメントオフセット Δ_2 の何分の1又は何パーセントかだけ左にシフトし又は右にシフトすることが可能である。

【0037】本発明の一実施形態では、第1のプロセスアライメントオフセット Δ_1 及び第2のプロセスアライメントオフセット Δ_2 は、約0.01 μm から約0.08 μm の範囲にある。本発明の更に別の実施形態では、第1のプロセスアライメントオフセット Δ_1 及び第2のプロセスアライメントオフセット Δ_2 は互いに等しくなる（ $\Delta_1 = \Delta_2$ ）。

【0038】代替的には、第1のプロセスアライメントオフセット Δ_1 及び第2のプロセスアライメントオフセット Δ_2 は、リソグラフィプロセスのアライメント公差に基づくものである必要はない。その代わりに、第1のプロセスアライメントオフセット Δ_1 及び第2のプロセスアライメントオフセット Δ_2 は、それぞれ第1の方向Vにおける第1の層幅 W_{D1} のパーセンテージと第2の方向Hにおける第2の層幅 W_{D2} のパーセンテージとに基づき予め決められた値とすることができる。

【0039】本発明の一実施形態では、図10aに示すように、第1の導体30はデータ記憶層20の上に配置され、第2の導体32はデータ記憶層20の下に配置される。第1の方向V及び第2の方向Hは、互いに実質的に直交することができる。これにより第1の導体30及び第2の導体32は互いに実質的に直交する関係でデータ記憶層20と交差する。更に、上述したように、第1の導体30は、その第1の幅 W_{C1} を、第1の層幅 W_{D1} 内で、中央に配置し(C)、左にシフトさせ(L)、又は右にシフトさせる(R)ことができ、第2の導体32は、その第2の幅 W_{C2} を、第2の層幅 W_{D2} 内で、中央に配置し(C)、左にシフトさせ(U)、又は右にシフトさせる(D)ことができる。

【0040】本発明の別の実施形態では、第1の方向V又は第2の方向Hは、データ記憶層20の磁化容易軸E（す

なわち長手軸）と同一線上にある。図10aにおいて、第2の方向Hは、データ記憶層20の磁化容易軸Eと同一線上にある。

【0041】第1及び第2の導体（30, 32）は、別個の導体部分として示されているが、図11に関して後述するように、MRAMアレイは更なるデータ記憶層20を含み、第1及び第2の導体（30, 32）は第1の方向V及び第2の方向Hに延びてそれらの更なるデータ記憶層20と交差することになる。

【0042】図10bは、図10aの書込導体レイアウト構造10の第1の方向Vにおける断面図であり、データ記憶層20の第1の層幅 W_{D1} 内に配置されその第1の層幅 W_{D1} が完全に重ねられている、第1の幅 W_{C1} を示している。図10cは、図10aの書込導体レイアウト構造10の第2の方向Hにおける断面図であり、データ記憶層20の第2の層幅 W_{D2} 内に配置されその第2の層幅 W_{D2} が完全に重ねられている、第2の幅 W_{C2} を示している。

【0043】明瞭化のため、図10b及び図10cはまた、第1の方向Vにおける第1の層幅 W_{D1} と第2の方向Hにおける第2の層幅 W_{D2} とを有するデータ記憶層20が何を意味するかを示している。図10bでは、第1の方向Vを+（十字）で示す。該+は、ページ内に向かう第1の方向Vのための方向を表している。従って、第1の層幅 W_{D1} は、第1の方向Vにおいて測定され、図13bの断面図に示す第1の方向Vと直交する（図10a参照）。更に、第1の導体30の第1の幅 W_{C1} は、第1の層幅 W_{D1} により完全に重複されており、第1の導体30は、第1の方向Vでデータ記憶層20と交差する（図10a参照）。

【0044】同様に、図10cでは、第2の方向Hを・（ドット）で示す。該・は、ページを出る第2の方向Hのための方向を表している。したがって、第2の層幅 W_{D2} は、第2の方向Hにおいて測定され、図13cの断面図に示す第2の方向Hと直交する（図10a参照）。更に、第2の導体32の第2の幅 W_{C2} は、第2の層幅 W_{D2} により完全に重複されており、第2の導体32は、（図10aに示すように）第2の方向Hでデータ記憶層20と交差する。

【0045】本発明の一実施形態では、図8aないし図8cに示すように、書込導体レイアウト構造10は、第1の幅 W_{C1} を有する第1の導体30と、実質的に第2の層幅 W_{D2} と等しい第2の幅 W_{C2} （ $W_{C2} = W_{D2}$ ）を有する第2の導体32（図示せず）とを含む。第1及び第2の導体（30, 32）は、実質的に第1及び第2の方向（V, H）でそれぞれデータ記憶層20と交差し、データ記憶層20は、第1及び第2の導体（30, 32）間に配置される。第1の導体30の第1の幅 W_{C1} は、データ記憶層20の第1の層幅 W_{D1} よりも小さくなるよう予め選択され、第1の層幅 W_{D1} が第1の幅 W_{C1} の全体に重なるように第1の幅 W_{C1} が第1の層幅 W_{D1} に対して配置される。

【0046】上述したように、第1の導体30の第1の幅

w_{C1} は、第1の方向Vにおけるデータ記憶層20の第1の層幅 w_{D1} よりも第1のプロセスアライメントオフセット Δ_1 だけ小さくなるよう予め選択することができる。該第1のプロセスアライメントオフセット Δ_1 は、約 $0.01\mu m$ から約 $0.08\mu m$ の範囲にすることができる。第1の幅 w_{C1} は、第1の層幅 w_{D1} 内で、実質的に中央位置、左にシフトした位置、及び右にシフトした位置を有することができる(図8a、図8b、及び図8cを参照)。

【0047】本発明の別の実施形態では、第1の導体30は、磁気メモリの通電(current carrying)ビットライン又は通電ワードラインとすることができる。第1の導体30がビットラインである場合には、第2の導体32をワードラインとすることができ、その逆もまた可能である。図8aないし図8cは、第1の方向Vに垂直方向を有する第1の導体30と第2の方向Hに水平方向を有する第2の導体32(図示せず)とを示すが、第1の導体30が水平方向を有し、第2の導体32が垂直方向を有することも可能である。

【0048】データ記憶層20は、1ビットのデータを1つの磁化方向として格納するよう構成される。1ビットの論理値(すなわち論理「0」又は論理「1」)は、磁化方向を1つの安定状態から他の安定状態へと回転させることにより書き込まれる。該磁化方向は、データ記憶層20と交差する第1及び第2の導体(30, 32)に加えられる電流によって生成される書込磁界に応じて回転する。第1の導体30は、第1の導体30に加えられた電流に応じて書込磁界の第1の部分生成する。同様に、第2の導体32は、第2の導体32に加えられた電流に応じて書込磁界の第2の部分生成する。該書込磁界の第1及び第2の部分が組み合わせて作用して磁化方向を回転させる。

【0049】図11において、複数のデータ記憶層20を複数の第1及び第2の導体(30, 32)により交差されてMRAMアレイ50が形成される。特に、データ記憶層20sは、書込み動作時に選択され、その磁化方向が書込磁界の第1の部分 H_x と書込磁界の第2の部分 H_y とにより回転される。書込磁界の第1の部分 H_x は、データ記憶層20sを横切る第1の導体30に加えられる電流 I_y により生成され、書込磁界の第2の部分 H_y は、データ記憶層20sを横切る第2の導体32に加えられる電流 I_x により生成される。書込磁界の第1及び第2の部分(H_x, H_y)は、右手の法則により決定されるベクトルを有する。電流 I_y, I_x は、アレイ50の外部にあり第1及び第2の導体(30, 32)と電気的に連絡した電子回路により加えることができる。書込磁界の第1及び第2の部分(H_x, H_y)は、第1及び第2の導体(30, 32)の全長に沿って生成されるが、これがデータ記憶層20sの磁化方向を回転させるよう動作するのは、該第1及び第2の導体(30, 32)とデータ記憶層20sとの交差部で書込磁界の第1及び第2の部分(H_x, H_y)が結合される効果によるものである。

【0050】本発明の一実施形態では、第1の導体30の第1の幅 w_{C1} のみが、第1の方向Vにおけるデータ記憶層20sの第1の層幅 w_{D1} よりも小さくなるよう予め選択され、第2の導体32の第2の幅 w_{C2} は、第2の方向Hにおける第2の層幅 w_{D2} と少なくとも同じ幅となる。上述したように、第1の幅 w_{C1} は、第1の層幅 w_{D1} 内にあるように、及び第1の層幅 w_{D1} が該第1の幅 w_{C1} の全体に重なるように、配置される。第1の幅 w_{C1} の位置は、書込磁界の第1の部分 H_x をデータ記憶層20sに結合する。第1の導体30に加えられる電流 I_y の大きさは、第1の幅 w_{C1} が第1の層幅 w_{D1} と少なくとも等しい($w_{C1}=w_{D1}$)場合よりも小さくすることができる。基本的に、第1の幅 w_{C1} を狭くすることにより、同一の印加電流 I_y に対する書込磁界の第1の部分 H_x の大きさが大きくなり、該 H_x の大きさは、磁化方向を回転させるために必要な最小限の磁界強度を超えるものとなる。その結果として、 I_y を低減させることができ、 H_x の大きさは、磁化方向を回転させるのに十分なものとなる。 I_y が低減されるため、データ記憶層20sに対する書込み動作により消費される電力もまた低減される。また、電力消費の低減は、書込み動作に対して選択されるアレイ50中の他のデータ記憶層20にも該当する。上述したように、電力消費の低減は、バッテリー電力を節約するために携帯型アプリケーションにとって望ましく、また廃熱を低減させることが望ましい用途においても望ましい。

【0051】本発明の別の実施形態では、第2の導体32の第2の幅 w_{C2} が、第2の方向Hにおけるデータ記憶層20sの第2の層幅 w_{D2} よりも小さくなるように予め選択される(すなわち第1及び第2の導体30, 32を共に狭くする)場合に、電力消費の更なる低減を実現することができる。第2の幅 w_{C2} は、それが第2の層幅 w_{D2} 内にあるように、かつ第2の層幅 w_{D2} が第2の幅 w_{C2} の全体に重なるように、配置される。該第2の幅 w_{C2} の位置により、書込磁界の第2の部分 H_y がデータ記憶層20sに結合する。第1の導体30に対して上述したのと同じ理由により、第2の導体32に加えられる電流 I_x の大きさは、第2の幅 w_{C2} が少なくとも第2の層幅 w_{D2} と等しい場合($w_{C2}=w_{D2}$)よりも小さくすることができる。電力消費の更なる低減は、書込み動作のために選択されるアレイ50中の他のデータ記憶層20にも該当する。

【0052】図12は、図4b及び図5bに関して上述したような、ワードライン w_c の幅とビットライン w_b の幅とが等しい($w_c=w_b$)従来技術による磁気メモリエイアウトに関する電流スイッチング曲線 SC_1 を示すグラフである。ワードライン w_c 及びビットライン w_b は磁気メモリセルと交差する。更に、ワードライン w_c は、メモリセルの電流スイッチング特性に対する導体のミスアライメントの影響をシミュレートするために、磁気メモリセルから $0.05\mu m$ だけオフセットしている。該オフセットは、図4b及び図5bに δ で示されている。スイッチン

グ曲線SC₁は、メモリセルへの書き込み動作時に1ビットを書き込むために磁化方向M₁を回転させるのに十分な、グラフのy軸上のビットライン電流I_xの大きさ、及びグラフのx軸上のワードライン電流I_yの大きさに関する値を表している。ビットライン電流I_xは磁界H_yを生成し、ワードライン電流I_yは磁界H_xを生成する。スイッチング曲線SC₁上の点1に関し、磁化方向を回転させるために約1.75mAのビットライン電流I_xと約3.60mAのワードライン電流I_yとが必要である。

【0053】図12はまた、本発明の磁気メモリセルレイアウト10の電流スイッチング曲線SC₂のグラフも示している。該スイッチング曲線SC₂の場合、ビットラインの幅は、ビットラインがデータ記憶層と交差する方向におけるデータ記憶層（図示せず）の幅と同じである。しかし、ワードラインは、ワードラインがデータ記憶層と交差する方向におけるデータ記憶層の幅よりも0.05μmだけ小さい幅を有している。更に、ワードラインは、データ記憶層内で中央に配置され、データ記憶層は、該ワードラインの幅の全体に重なる（図9a参照）。したがって、スイッチング曲線SC₂上の点2に関し、磁化方向を回転させるために約1.75mAのビットライン電流I_xと約3.00mAのワードライン電流I_yとが必要である。したがって、同じビットライン電流I_x=1.75mAについて、本発明の磁気メモリセルレイアウト10が必要とするワードライン電流I_yは、従来技術による磁気メモリセルレイアウトよりも約20%小さくなる（すなわち3.00mA対3.60mA）。その結果として、本発明の磁気メモリセルレイアウト10の場合の電力消費が低減される。更に、ワードラインを狭くすることにより見られる改善は、ビットラインでも同様に行うことができ、その結果として電力消費が更に低減される。

【0054】本発明の一実施形態では、第1の導体30の第1の幅W_{C1}は、第1の方向Vにおけるデータ記憶層20の第1の層幅W_{D1}よりも小さくなるよう予め選択される。第2の導体32の第2の幅W_{C2}は、第2の方向Hにおいて少なくとも第2の層幅W_{D2}と同じ幅となる。第1の幅W_{C1}は、それが第1の層幅W_{D1}内にあるように、かつ第1の層幅W_{D1}が該第1の幅W_{C1}の全体に重なるように、配置される。第1の幅W_{C1}の位置は、書き込磁界の第1の部分H_xをデータ記憶層20に結合する。第1の導体30に電流I_yが加えられる結果として、書き込磁界の第1の部分H_xの大きさが、第1の幅W_{C1}が少なくとも第1の層幅W_{D1}と等しい（W_{C1}=W_{D1}）場合よりも大きくなる。基本的に、第1の幅W_{C1}を狭くした結果として、印加電流I_yが同じ場合の書き込磁界の第1の部分H_xの大きさが大きくなる。その結果として、データ記憶層の磁化方向を回転させるために必要な書き込磁界の大きさが、書き込磁界の第1の部分H_xからの寄与によって増大することになる。

【0055】本発明の別の実施形態では、書き込磁界の大きさは、第2の導体32の第2の幅W_{C2}が第2の方向Hにお

けるデータ記憶層20の第2の層幅W_{D2}よりも小さくなるよう予め選択される場合に更に増大する。第2の幅W_{C2}は、それが第2の層幅W_{D2}内にあるように、かつ第2の層幅W_{D2}が該第2の幅W_{C2}の全体に重なるように、配置される。該第2の幅W_{C2}の位置によって、書き込磁界の第2の部分H_yがデータ記憶層20に結合される。第1の導体30に関して上述したのと同じ理由により、第2の導体32に加えられる電流I_xにより、書き込磁界の第2の部分H_yの大きさが、第2の幅W_{C2}が少なくとも第2の層幅W_{D2}と等しい（W_{C2}=W_{D2}）場合よりも大きくなる。

【0056】上述の実施形態では、第1の導体30の第1の幅W_{C1}は、第1の方向Vにおけるデータ記憶層20の第1の層幅W_{D1}よりも第1のプロセスアライメントオフセットΔ₁だけ小さくなるよう予め選択することができる。更に、第2の導体32の第2の幅W_{C2}は、第2の方向Hにおけるデータ記憶層20の第2の層幅W_{D2}より第2のプロセスアライメントオフセットΔ₂だけ小さくなるよう予め選択することができる。該第1及び第2のプロセスアライメントオフセットΔ₁、Δ₂は、約0.01μmから約0.08μmの範囲とすることができる。

【0057】本明細書で説明した実施形態に関し、データ記憶層20の構造及び材料は、本発明に関連する当業者には十分によく理解されているものである。しかし、データ記憶層20のアクティブ層（磁化方向が自由に回転できる）及び基準層（磁化方向が固定されており自由に回転できない）に適した材料には、ニッケル-鉄（NiFe）、コバルト（Co）、Fe₃O₄、CrO₂、合金、又は、それらの材料、強磁性材料、及びフェリ磁性材料の組み合わせを含む層が含まれる。該アクティブ層及び基準層は、酸化アルミニウム（Al₂O₃）、窒化アルミニウム（AlN）、二酸化珪素（SiO₂）、及び窒化珪素（Si₃N₄）を含む誘電体材料の1つ又は2つ以上の層により分離することができる。第1及び第2の導体（30、32）は、銅又はアルミニウムなどの導電材料から作製することができる。

【0058】本発明の書き込導体レイアウト構造10を、磁気メモリセルとの使用に関して説明してきたが、本発明の原理はMRAMに限定されるものではない。書き込導体レイアウト構造10は、磁性材料の磁化方向を切り替えるための局所的な磁界を生成する通電導体にも適用することが可能である。本発明の幾つかの実施形態を説明し図示してきたが、本発明は、かかる説明し図示した構成要素の特定の形態又は配置に限定されるものではない。本発明は、特許請求の範囲のみにより限定されるものである。

【0059】以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

1. 磁気メモリセルのための書き込導体レイアウト構造であって、第1の幅を有する第1の導体と、第2の幅を有する第2の導体と、該第1及び第2の導体間に配置されたデータ記憶層であって、第1の方向における第1の層

10

20

30

40

50

幅と第2の方向における第2の層幅とを有し、前記第1及び第2の導体を実質的に前記第1及び第2の方向にそれぞれ交差する、データ記憶層とを備えており、前記第1の幅が前記第1の層幅よりも小さくなるよう予め選択され、前記第2の幅が前記第2の層幅よりも小さくなるよう予め選択され、前記第1の層幅が前記第1の幅の全体に重なるように該第1の幅が該第1の層幅に対して配置され、前記第2の層幅が前記第2の幅の全体に重なるように該第2の幅が該第2の層幅に対して配置される、書込導体レイアウト構造。

2. 前記第1の幅が、第1のプロセスアライメントオフセットに基づいて前記第1の層幅よりも小さくなるよう予め選択され、前記第2の幅が、第2のプロセスアライメントオフセットに基づいて前記第2の層幅よりも小さくなるよう予め選択される、前項1に記載の書込導体レイアウト構造。

3. 前記第1のプロセスアライメントオフセット及び前記第2のプロセスアライメントオフセットが、約 $0.01\mu\text{m}$ から約 $0.08\mu\text{m}$ までの範囲内にある、前項2に記載の書込導体レイアウト構造。

4. 前記第1及び第2のプロセスアライメントオフセットが、互いに等しい、前項2に記載の書込導体レイアウト構造。

5. 前記第1及び第2のプロセスアライメントオフセットが、リソグラフィプロセスのアライメント公差により決定される、前項2に記載の書込導体レイアウト構造。

6. 前記第1及び第2の導体を実質的に互いに直交する関係で前記データ記憶層と交差するように前記第1及び第2の方向が実質的に互いに直交している、前項1に記載の書込導体レイアウト構造。

7. 前記第1の方向又は前記第2の方向の選択された一方が、前記データ記憶層の磁化容易軸と同一線上にある、前項1に記載の書込導体レイアウト構造。

8. 前記データ記憶層が、スピン依存トンネルデバイス、スピンバルブデバイス、及び巨大磁気抵抗デバイスからなるグループから選択される磁気電気デバイスである、前項1に記載の書込導体レイアウト構造。

9. 前記データ記憶層が、矩形形状、弓形形状、及び多角形状からなるグループから選択される形状を有する、前項1に記載の書込導体レイアウト構造。

10. 前記第1の導体が、前記データ記憶層の上に配置され、前記第2の導体が、前記データ記憶層の下に配置される、前項1に記載の書込導体レイアウト構造。

11. 前記第1及び第2の幅の選択された一方が、その対応する層幅内において、実質的に中央位置、左にシフトした位置、及び右にシフトした位置からなるグループから選択される位置を有する、前項1に記載の書込導体レイアウト構造。

12. 磁気メモリのための書込導体レイアウト構造であって、第1の幅を有する第1の導体と、第2の幅を有

する第2の導体と、該第1及び第2の導体間に配置されたデータ記憶層であって、第1の方向における第1の層幅と第2の方向における第2の層幅とを有し、前記第1及び第2の導体を実質的に前記第1及び第2の方向にそれぞれ交差する、データ記憶層とを備えており、前記第1の幅が前記第1の層幅よりも小さくなるよう予め選択され、前記第2の幅が前記第2の層幅と実質的に等しく、前記第1の層幅が前記第1の幅の全体に重なるように該第1の幅が該第1の層幅に対して配置される、書込導体レイアウト構造。

13. 前記第1の幅が、第1のプロセスアライメントオフセットに基づいて前記第1の層幅よりも小さくなるよう予め選択される、前項12に記載の書込導体レイアウト構造。

14. 前記第1のプロセスアライメントオフセットが、約 $0.01\mu\text{m}$ から約 $0.08\mu\text{m}$ までの範囲内にある、前項13に記載の書込導体レイアウト構造。

15. 前記第1の導体が、ワードライン及びビットラインからなるグループから選択される通電ラインである、前項12に記載の書込導体レイアウト構造。

16. 前記第1の幅が、前記第1の層幅内において、実質的に中央位置、左にシフトした位置、及び右にシフトした位置からなるグループから選択される位置を有する、前項12に記載の書込導体レイアウト構造。

17. 低電力磁気メモリのための書込導体レイアウト構造であって、第1の方向における第1の層幅と第2の方向における第2の層幅とを有するデータ記憶層と、加えられる電流に応じて書込磁界の第1の部分を生成する第1の導体であって、前記第1の層幅よりも小さくなるよう予め選択された第1の幅を有しており、該第1の幅が、前記第1の層幅が該第1の幅の全体に重なるように該第1の層幅に対して配置されている、第1の導体と、加えられる電流に応じて書込磁界の第2の部分を生成する第2の導体であって、少なくとも前記第2の層幅に等しい第2の幅を有する、第2の導体とを備えており、前記データ記憶層が、前記第1及び第2の導体間に配置され、該第1及び第2の導体が、それぞれ実質的に前記第1及び第2の方向に前記データ記憶層と交差しており、該データ記憶層が、1ビットのデータを1つの磁化方向として格納し、及び前記書込磁界の前記第1及び第2の部分に応じて該磁化方向を回転させるよう構成されており、前記第1の幅の位置により、前記書込磁界の前記第1の部分が前記データ記憶層に結合されて、前記第1の導体に加えられる電流の大きさが、前記第1の幅が少なくとも前記第1の層幅と等しい場合よりも小さくなる、書込導体レイアウト構造。

18. 前記第1の幅が、第1のプロセスアライメントオフセットに基づいて前記第1の層幅よりも小さくなるよう予め選択される、前項17に記載の書込導体レイアウト構造。

10

20

30

40

50

19. 前記第2の幅が、前記第2の層幅よりも小さくなるよう予め選択され、及び該第2の層幅が該第2の幅の全体に重なるように該第2の層幅に対して配置され、該第2の幅の位置により、前記書込磁界の前記第2の部分が前記データ記憶層に結合されて、前記第2の導体に加えられる電流の大きさが、前記第2の幅が少なくとも前記第2の層幅と等しい場合よりも小さくなる、前項17に記載の書込導体レイアウト構造。

20. 前記第2の幅が、第2のプロセスアライメントオフセットに基づいて前記第2の層幅よりも小さくなるよう

21. 磁気メモリセルにおける書込磁界を増大させるための書込導体レイアウト構造であって、第1の方向における第1の層幅と第2の方向における第2の層幅とを有するデータ記憶層と、加えられる電流に応じて書込磁界の第1の部分の生成する第1の導体であって、前記第1の層幅よりも小さくなるよう予め選択された第1の幅を有しており、前記第1の層幅が該第1の幅の全体に重なるように該第1の幅が該第1の層幅に対して配置されている、第1の導体と、加えられる電流に応じて書込磁界の第2の部分の生成する第2の導体であって、少なくとも前記第2の層幅に等しい第2の幅を有する、第2の導体とを備えており、前記データ記憶層が、前記第1及び第2の導体間に配置され、該第1及び第2の導体がそれぞれ実質的に前記第1及び第2の方向に前記データ記憶層と交差しており、該データ記憶層が、1ビットのデータを1つの磁化方向として格納し、及び前記書込磁界の前記第1及び第2の部分に応じて該磁化方向を回転させるよう構成されており、前記第1の導体に加えられる前記電流により生成される前記書込磁界の前記第1の部分の大きさが、前記第1の幅が少なくとも前記第1の層幅と等しい場合よりも大きくなる、書込導体レイアウト構造。

22. 前記第1の幅が、第1のプロセスアライメントオフセットに基づいて前記第1の層幅よりも小さくなるよう

23. 前記第2の幅が、前記第2の層幅よりも小さくなるよう予め選択され、及び該第2の層幅が該第2の幅の全体に重なるように該第2の層幅に対して配置されており、前記第2の導体に加えられる前記電流により生成される前記書込磁界の前記第2の部分の大きさが、前記第2の幅が少なくとも前記第2の層幅と等しい場合よりも大きくなる、前項21に記載の書込導体レイアウト構造。

24. 前記第2の幅が、第2のプロセスアライメントオフセットに基づいて前記第2の層幅よりも小さくなるよう

【図面の簡単な説明】

【図1a】従来技術によるMRAMアレイを示す平面図である。

【図1b】従来技術によるMRAMアレイを示す斜視図である。

【図2a】アクティブ磁気フィルム及び基準磁気フィルムの磁化方向を示す従来技術によるMRAMメモリセルの斜視図である。

【図2b】アクティブ磁気フィルム及び基準磁気フィルムの磁化方向を示す従来技術によるMRAMメモリセルの側面図である。

【図2c】アクティブ磁気フィルム及び基準磁気フィルムの磁化方向を示す従来技術によるMRAMメモリセルの側面図である。

【図3】従来技術によるメモリセル、その書込ライン、及び該書込ラインを流れる電流により生成される磁界を示す斜視図である。

【図4a】垂直方向に向けられた理想的な従来技術による書込導体及びメモリセルレイアウトを示す平面図である。

【図4b】ミスアライメントされた従来技術による書込導体及びメモリセルレイアウトを示す平面図である。

【図5a】水平方向に向けられた理想的な従来技術による書込導体及びメモリセルレイアウトを示す平面図である。

【図5b】ミスアライメントされた従来技術による書込導体及びメモリセルレイアウトを示す平面図である。

【図6】本発明による書込導体レイアウト構造を示す平面図である。

【図7】本発明による書込導体レイアウト構造を示す平面図である。

【図8a】本発明による中央に配置された垂直方向の書込導体レイアウト構造を示す平面図である。

【図8b】本発明による左にシフトされた垂直方向の書込導体レイアウト構造を示す平面図である。

【図8c】本発明による右にシフトされた垂直方向の書込導体レイアウト構造を示す平面図である。

【図9a】本発明による中央に配置された水平方向の書込導体レイアウト構造を示す平面図である。

【図9b】本発明による上にシフトされた水平方向の書込導体レイアウト構造を示す平面図である。

【図9c】本発明による下にシフトされた水平方向の書込導体レイアウト構造を示す平面図である。

【図10a】本発明による、データ記憶層よりも狭い第1及び第2の導体を示す平面図である。

【図10b】本発明による、データ記憶層よりも狭い第1及び第2の導体を示す断面図である。

【図10c】本発明による、データ記憶層よりも狭い第1及び第2の導体を示す断面図である。

【図11】本発明による書込導体レイアウト構造を組み込んだMRAMメモリアレイの一部を示す平面図である。

【図 1 2】従来技術による電流スイッチング曲線と、本発明の書込導体レイアウト構造の電流スイッチング曲線（本発明による書込導体の幅を狭くした結果としての導体電流の低減を示している）とを示すグラフである。

【図 1 3 a】本発明による多角形状を有し書込導体により交差されるデータ記憶層を示す平面図である。

【図 1 3 b】本発明による弓形形状を有し書込導体により交差されるデータ記憶層を示す平面図である。

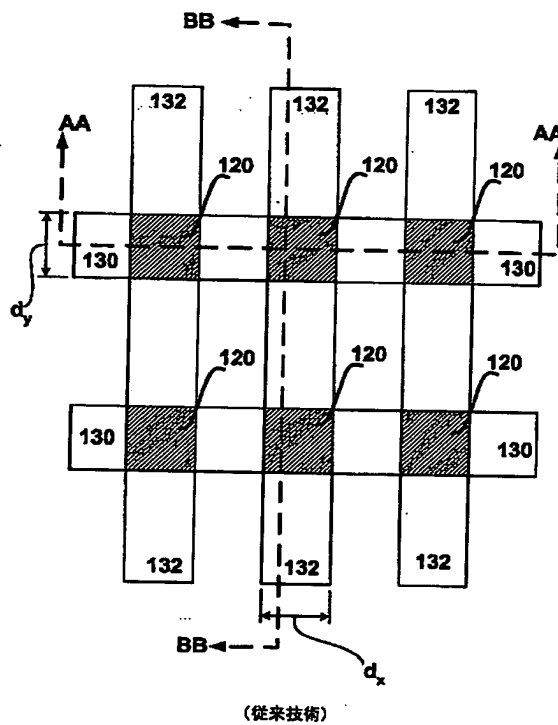
【符号の説明】

10 書込導体レイアウト構造

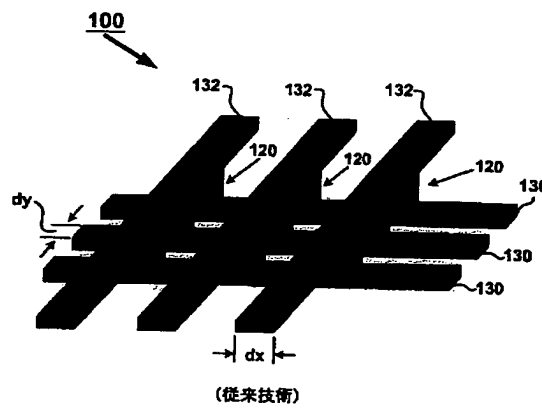
20 データ記憶層
30 第 1 の導体
32 第 2 の導体
H 第 2 の方向
V 第 1 の方向
 W_{C1} 第 1 の幅
 W_{C2} 第 2 の幅
 W_{D1} 第 1 の層幅
 W_{D2} 第 2 の層幅

10

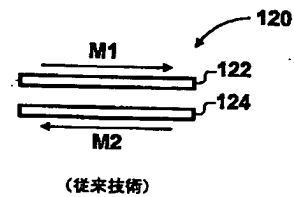
【図 1 a】



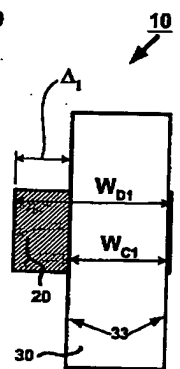
【図 1 b】



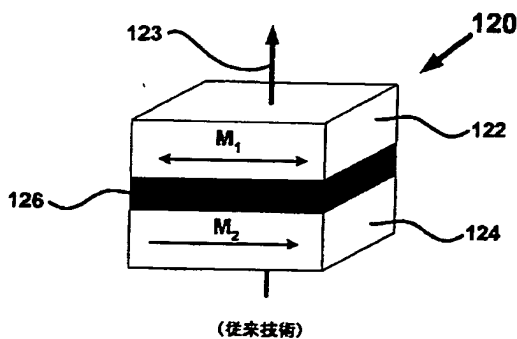
【図 2 c】



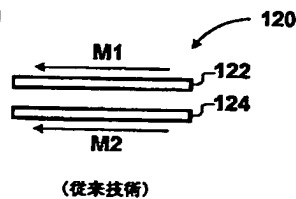
【図 8 c】



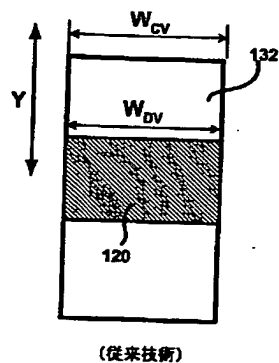
【図 2 a】



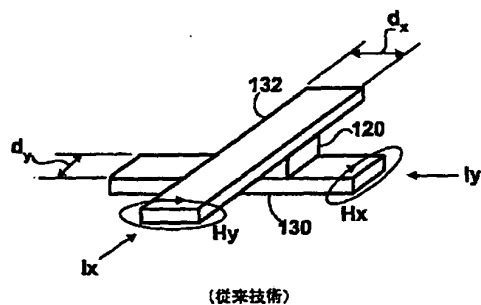
【図 2 b】



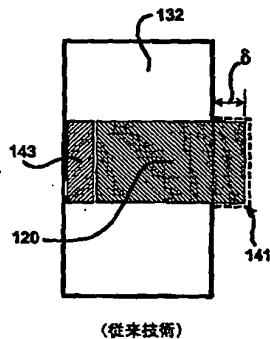
【図 4 a】



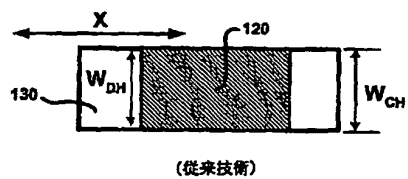
【図 3】



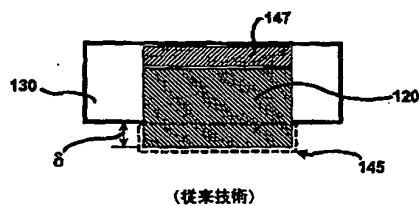
【図 4 b】



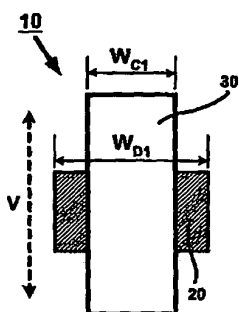
【図 5 a】



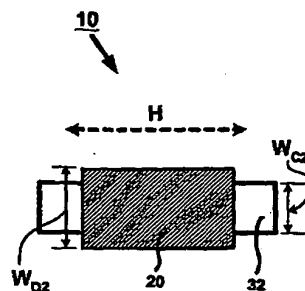
【図 5 b】



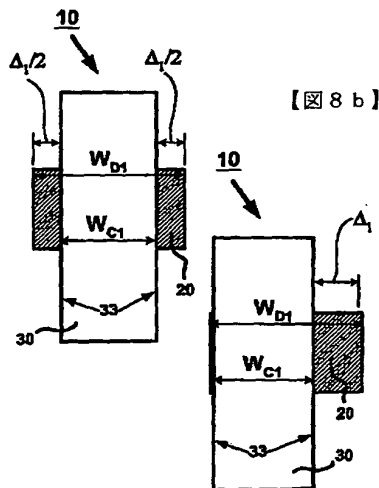
【図 6】



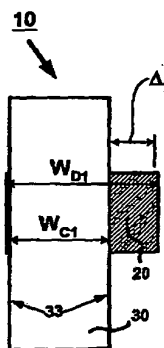
【図 7】



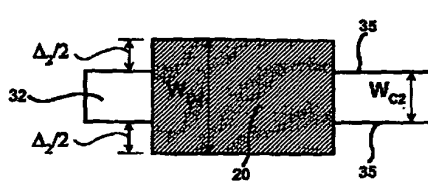
【図 8 a】



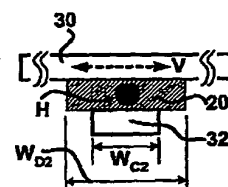
【図 8 b】



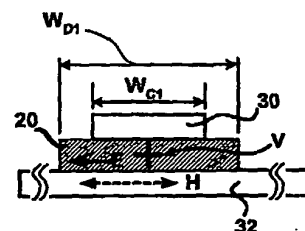
【図 9 a】



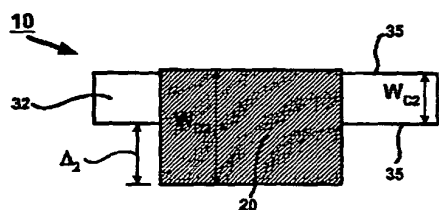
【図 10 c】



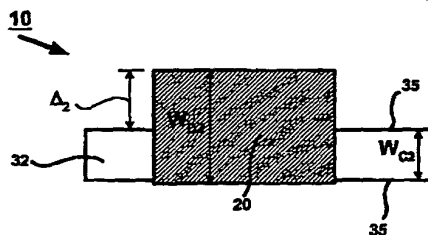
【図 10 b】



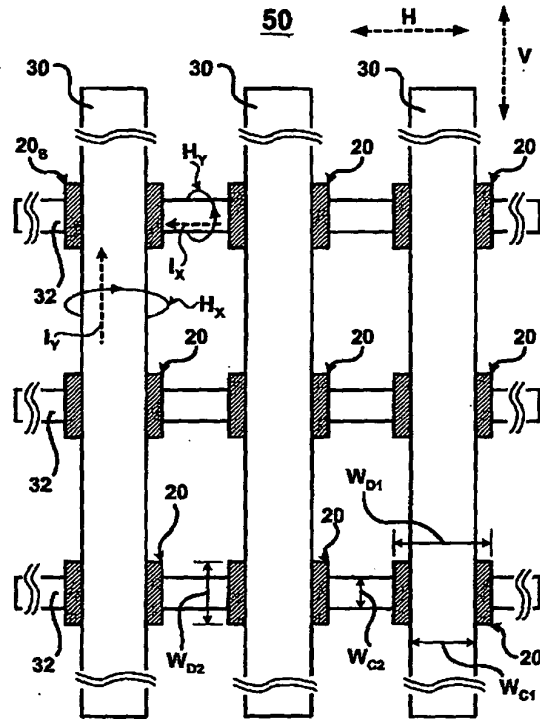
【図 9 b】



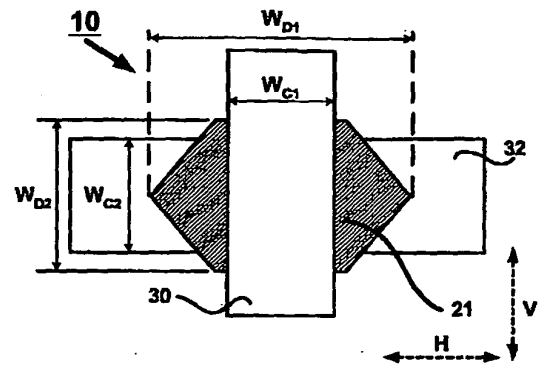
【図 9 c】



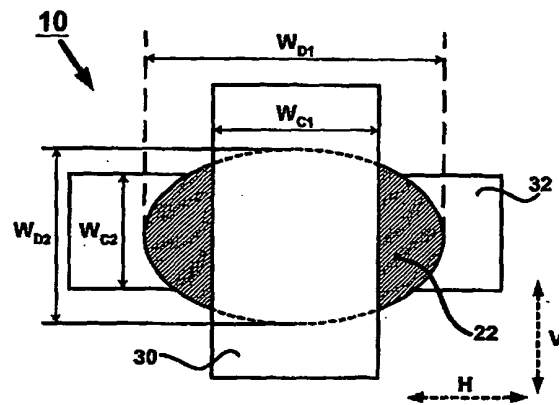
【图 11】



【図 13 a】



【図13b】



フロントページの続き

(72) 発明者 トーマス・アンソニー
アメリカ合衆国カリフォルニア州94087,
サニーベイル, ピメント・アベニュー・
1161

Fターム(参考) 5F083 FZ10 GA05 GA15 KA01 KA05
LA12 LA16